

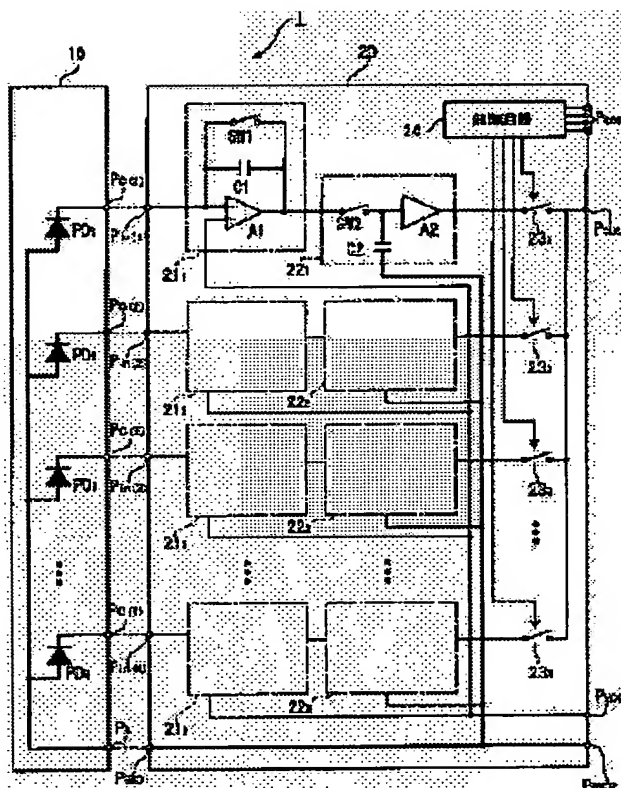
## SOLID-STATE IMAGE PICKUP DEVICE

**Patent number:** JP2001291877  
**Publication date:** 2001-10-19  
**Inventor:** MIZUNO SEIICHIRO  
**Applicant:** HAMAMATSU PHOTONICS KK  
**Classification:**  
 - international: H01L31/02; H01L25/065; H01L25/07; H01L25/18;  
 H01L27/146; H01L31/10; H04N5/335  
 - european:  
**Application number:** JP20000103721 20000405  
**Priority number(s):** JP20000103721 20000405

Report a data error here

### Abstract of JP2001291877

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device in which the number of photoreceptor elements can be increased easily and which can be manufactured highly efficiently at a low cost.  
**SOLUTION:** This solid-stage image pickup device 1 is provided with first and second substrates 10 and 20. On the first substrate 10, photodiodes PD1-PDN are two-dimensionally arranged and pads PC(1)-PC(N) and PA for bump connections are formed. On the second substrate 20, integration circuits 211-21N, hold circuits 221-22N, switch elements 231-23N, and a control circuit 24 are formed, and pads Pin(1)-Pin(N) and PGND1 for bump connections are formed. The pad PC(n) on the first substrate 10 is bump-connected to the pad Pin(n) on the second substrate 20. In addition, the pad PA on the first substrate 10 is bump-connected to the pad PGND1 on the second substrate 20.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291877

(P2001-291877A)

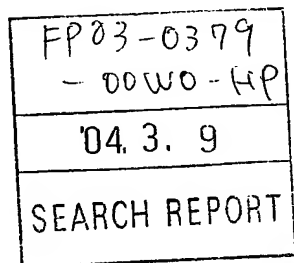
(43) 公開日 平成13年10月19日 (2001. 10. 19)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I           | テマコード <sup>*</sup> (参考) |
|---------------------------|------|---------------|-------------------------|
| H 0 1 L 31/02             |      | H 0 4 N 5/335 | Z 4 M 1 1 8             |
| 25/065                    |      | H 0 1 L 31/02 | B 5 C 0 2 4             |
| 25/07                     |      | 25/08         | B 5 F 0 4 9             |
| 25/18                     |      | 27/14         | F 5 F 0 8 8             |
| 27/146                    |      | 31/10         | G                       |

審査請求 未請求 請求項の数 1 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2000-103721(P2000-103721)

(22) 出願日 平成12年4月5日 (2000. 4. 5)



(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ

トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外3名)

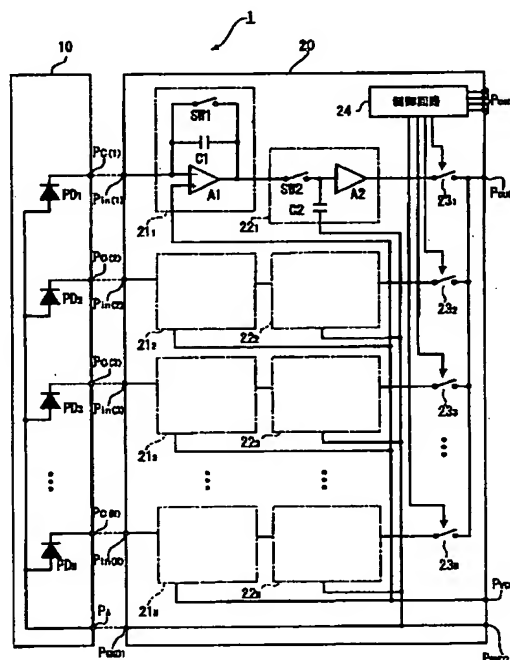
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 容易に受光素子の数を増加させることができ、安価かつ高効率に製造することができる固体撮像装置を提供する。

【解決手段】 固体撮像装置1は、第1の基板10および第2の基板20を備えている。第1の基板10上には、フォトダイオードPD<sub>1</sub>~PD<sub>n</sub>が2次元状に配列されて形成されており、また、バンプ接続用のパッドP<sub>Cc(1)</sub>~P<sub>Cc(n)</sub>およびP<sub>A</sub>が形成されている。第2の基板20上には、積分回路21<sub>1</sub>~21<sub>n</sub>、ホールド回路22<sub>1</sub>~22<sub>n</sub>、スイッチ素子23<sub>1</sub>~23<sub>n</sub>および制御回路24が形成されており、また、バンプ接続用のパッドP<sub>in(1)</sub>~P<sub>in(n)</sub>およびP<sub>Cno1</sub>が形成されている。第1の基板10上のパッドP<sub>Cc(n)</sub>と第2の基板20上のパッドP<sub>in(n)</sub>とは互いにバンプ接続される。また、第1の基板10上のパッドP<sub>A</sub>と第2の基板20上のパッドP<sub>Cno1</sub>とは互いにバンプ接続される。



## 【特許請求の範囲】

【請求項1】 各々受光した光の光量に応じた電流信号を出力する複数の受光素子が形成された第1の基板と、前記第1の基板とバンプ接続され、前記第1の基板の前記複数の受光素子それぞれから出力された電流信号をバンプ接続を介して入力し、この電流信号を電圧信号に変換してこの電圧信号を出力する複数の積分回路が形成された第2の基板と、

を備えることを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、配列された複数の受光素子を有する固体撮像装置に関するものである。

## 【0002】

【従来の技術】固体撮像装置は、複数の受光素子および複数の積分回路等を有している。各受光素子は、受光した光の光量に応じた電流信号を出力し、各積分回路は、対応する受光素子から出力された電流信号を入力し、この電流信号の電荷を蓄積して、この蓄積された電荷の量に応じた電圧信号を出力する。そして、1次元状または2次元状に配列された複数の受光素子それぞれに対応して積分回路から出力される電圧信号の値の分布が撮像結果として得られる。

## 【0003】

【発明が解決しようとする課題】このような固体撮像装置は、複数の受光素子および複数の積分回路等を1つの基板上に集積化することも可能であり、集積化することで性能向上・コスト低減を期待し得るとも考えられる。しかし、これらを1つの基板上に集積化することは以下のような問題点を有していることを本願発明者は見出した。

【0004】基板上の受光素子は、特性が重視される一方で、微細化が要求されることが少ないので、受光素子を形成する為の製造プロセスとしてアライメントを用いたプロセスが採用される。これに対して、基板上の積分回路等のCMOS回路は高集積化・微細化が要求されるので、積分回路等を形成する為の製造プロセスとしてステップを用いた微細加工プロセスが採用される。また、固体撮像装置の用途が異なると、積分回路等のCMOS回路の回路構成は異なるのに対して、受光素子が配列された受光部の構成は異なることはない。このように、受光素子と積分回路等のCMOS回路とは採用される製造プロセスが異なり、また、積分回路等のCMOS回路の回路構成のみが設計変更の頻度が高いことから、両者を1つの基板上に形成することは製造効率が悪く、却ってコスト高を招く。

【0005】そこで、受光素子を第1の基板上に形成し、積分回路等のCMOS回路を第2の基板上に形成して、各々を最適の製造プロセスで製造するとともに、第2の基板上の回路構成のみを用途に応じて設計変更する

ことにより、固体撮像装置の全体として製造効率を高くすることができ、コストを安くすることができると期待され得る。この場合、第1の基板と第2の基板との間は一般にワイヤボンディングにより電氣的に接続される。

【0006】ところで、固体撮像装置は、画素数（すなわち、受光素子の数）の増加が要求されている。第1の基板上に形成される受光素子の数が増加すると、これに伴って、第1の基板と第2の基板との間のワイヤボンディングの数も増加し、さらに、比較的大きな面積を必要とするボンディングパッドの数も増加する。したがって、固体撮像装置を第1の基板および第2の基板とに分けて構成した場合に、受光素子の数が増加すれば、物理的に実現が困難となり、或いは、第1の基板および第2の基板の双方とも面積が大きくならざるを得ず、コストが高くなってしまう。

【0007】本発明は、上記問題点を解消する為になされたものであり、容易に受光素子の数を増加させることができ、安価かつ高効率に製造することができる固体撮像装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明に係る固体撮像装置は、(1) 各々受光した光の光量に応じた電流信号を出力する複数の受光素子が形成された第1の基板と、(2) この第1の基板とバンプ接続され、第1の基板の複数の受光素子それぞれから出力された電流信号をバンプ接続を介して入力し、この電流信号を電圧信号に変換してこの電圧信号を出力する複数の積分回路が形成された第2の基板と、を備えることを特徴とする。

【0009】この固体撮像装置によれば、第1の基板上の各受光素子から受光量に応じて出力された電流信号は、互いにバンプ接続された第1の基板のパッドおよび第2の基板のパッドを経て、第2の基板上の積分回路の入力端に入力し、積分回路において電圧信号に変換される。このように本発明に係る固体撮像装置は、一方の第1の基板上に受光素子が形成され、他方の第2の基板上に積分回路が形成されており、第1の基板と第2の基板とが互いにバンプ接続されている。

【0010】したがって、第1の基板および第2の基板それぞれは、各々にとって好適な製造プロセスを用いて製造することができる。また、用途が異なっても第1の基板は同一設計で製造することができるのに対して、用途に応じて第2の基板のみを適切な設計の下に製造することができる。また、画素数（すなわち、受光素子の数）が増加してパッドの数が増加しても、第1の基板と第2の基板とを互いにバンプ接続することにより、第1の基板および第2の基板それぞれのバンプ接続用のパッドを2次元状に配置することができる。

## 【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明にお

10

20

30

40

50

いて同一の要素には同一の符号を付し、重複する説明を省略する。以下では、 $N$ は2以上の整数であり、 $n$ は特に言及しない限り1～ $N$ の範囲内の任意の整数である。

【0012】図1は、本実施形態に係る固体撮像装置1の回路構成図である。この固体撮像装置1は、第1の基板10および第2の基板20を備えている。第1の基板10上には、 $N$ 個のフォトダイオード（受光素子） $PD_1 \sim PD_N$ が1次元状または2次元状に配列されており、また、バンプ接続用のパッド $P_{c(1)} \sim P_{c(N)}$ および $P_A$ が形成されている。第2の基板20上には、 $N$ 個の積分回路21<sub>1</sub>～21<sub>N</sub>、 $N$ 個のホールド回路22<sub>1</sub>～22<sub>N</sub>、 $N$ 個のスイッチ素子23<sub>1</sub>～23<sub>N</sub>および制御回路24が形成されている。また、第2の基板20上には、バンプ接続用のパッド $P_{in(1)} \sim P_{in(N)}$ および $P_{cno2}$ が形成されており、さらに、固体撮像装置1の外部との間の接続に用いられるパッド $P_{cno2}$ 、 $P_{vcc}$ 、 $P_{out}$ および $P_{cont}$ が形成されている。第1の基板10上のパッド $P_{c(n)}$ と第2の基板20上のパッド $P_{in(n)}$ とは互いにバンプ接続される。また、第1の基板10上のパッド $P_A$ と第2の基板20上のパッド $P_{cno2}$ とは互いにバンプ接続される。

【0013】フォトダイオード $PD_n$ のカソード端子は、第1の基板10上のバンプ接続用のパッド $P_{c(n)}$ に接続されている。各フォトダイオード $PD_n$ のアノード端子は、第1の基板10上のバンプ接続用のパッド $P_A$ に共通に接続されている。フォトダイオード $PD_n$ は、受光した光の光量に応じた電流信号をパッド $P_{c(n)}$ に出力する。

【0014】積分回路21<sub>1</sub>は、第2の基板20上のバンプ接続用のパッド $P_{in(1)}$ に入力端が接続されており、この入力端と出力端との間にアンプA1を有し、このアンプA1の反転入力端子と出力端子との間に並列的に容量素子C1およびスイッチ素子SW1を有している。各積分回路21<sub>1</sub>のアンプA1の非反転入力端子は、パッド $P_{vcc}$ に共通に接続されている。この積分回路21<sub>1</sub>は、スイッチ素子SW1が閉じているときに容量素子C1を放電して初期化し、スイッチ素子SW1が開いているときに、入力端に流入した電荷を容量素子C1に蓄積して、その蓄積された電荷の量に応じた電圧信号を出力端から出力する。

【0015】ホールド回路22<sub>1</sub>は、積分回路21<sub>1</sub>の出力端に流入端が接続されており、この入力端と出力端との間に順にスイッチ素子SW2およびアンプA2を有し、また、スイッチ素子SW2とアンプA2との間の接続点に一端が接続された容量素子C2を有している。各ホールド回路22<sub>1</sub>の容量素子C2の他端は、バンプ接続用のパッド $P_{cno2}$ に共通に接続され、また、パッド $P_{cno2}$ にも共通に接続されている。このホールド回路22<sub>1</sub>は、スイッチ素子SW2が閉じているときに入力端に流入した電圧信号を容量素子C2に記憶し、スイッチ素

子SW2が開いた後も容量素子C2に記憶されている電圧信号をアンプA2を介して出力端から出力する。

【0016】スイッチ素子23<sub>1</sub>は、ホールド回路22<sub>1</sub>の出力端とパッド $P_{out}$ との間に設けられている。スイッチ23<sub>1</sub>～23<sub>N</sub>それぞれは、制御回路24により制御されて順次に閉じて、ホールド回路22<sub>1</sub>～22<sub>N</sub>それぞれ出力端から出力される電圧信号をパッド $P_{out}$ へ出力する。制御回路24は、外部よりパッド $P_{cont}$ に入力した制御信号に基づいて、積分回路21<sub>1</sub>のスイッチ素子SW1、ホールド回路22<sub>1</sub>のスイッチ素子SW2およびスイッチ素子23<sub>1</sub>それぞれの開閉を制御する。

【0017】図2は、本実施形態に係る固体撮像装置1の第1の基板10における $N$ 個のフォトダイオード $PD_1 \sim PD_N$ ならびにバンプ接続用のパッド $P_{c(1)} \sim P_{c(N)}$ および $P_A$ のレイアウトの1例を示す図である。この図に示すように、 $N$ 個のフォトダイオード $PD_1 \sim PD_N$ は2次元配列されて受光面を構成している。この図において受光面の右方に、第1の基板20とバンプ接続するためのパッド $P_{c(1)} \sim P_{c(N)}$ および $P_A$ が2次元状に配列されている。フォトダイオード $PD_n$ とパッド $P_{c(n)}$ との間の配線は、微細加工配線技術を用いてフォトダイオード配列間に形成されている。なお、第2の基板20におけるバンプ接続用のパッド $P_{in(1)} \sim P_{in(N)}$ および $P_{cno2}$ は、パッド $P_{in(n)}$ がパッド $P_{c(n)}$ とバンプ接続され且つパッド $P_{cno2}$ がパッド $P_A$ とバンプ接続されるよう配置されている。

【0018】図3は、本実施形態に係る固体撮像装置1の斜視図である。図4は、本実施形態に係る固体撮像装置1の側断面図である。これらの図では、第1の基板10の上面にフォトダイオード $PD_n$ ならびにバンプ接続用のパッド $P_{c(n)}$ および $P_A$ が形成されている。また、第2の基板20の下面に、積分回路21<sub>1</sub>、ホールド回路22<sub>1</sub>、スイッチ素子23<sub>1</sub>、制御回路24、バンプ接続用のパッド $P_{in(n)}$ および $P_{cno2}$ 、ならびに、外部との接続に用いられるパッド $P_{cno2}$ 、 $P_{vcc}$ 、 $P_{out}$ および $P_{cont}$ が形成されている。そして、第1の基板10と第2の基板20とは各々の対応するパッドがバンプ30によりバンプ接続されている。

【0019】この固体撮像装置1では、外部よりパッド $P_{cno2}$ を経て、第2の基板20上のホールド回路22<sub>1</sub>の容量素子C2に接地電位が供給され、更に、互いにバンプ接続された第2の基板20のパッド $P_{cno2}$ および第1の基板10のパッド $P_A$ を経て、第1の基板10上のフォトダイオード $PD_n$ のアノード端子に接地電位が供給される。外部よりパッド $P_{vcc}$ を経て、第2の基板20上の積分回路21<sub>1</sub>のアンプA1の非反転入力端子に基準電位が供給される。また、外部よりパッド $P_{cont}$ を経て、第2の基板20上の制御回路24に制御信号が入力する。そして、この制御回路24による制御の下、固体撮像装置1は以下のように動作する。すなわち、第1

の基板10上のフォトダイオードPD<sub>n</sub>から受光量に応じて出力された電流信号は、互いにバンプ接続された第1の基板10のパッドP<sub>c(n)</sub>および第2の基板20のパッドP<sub>n(n)</sub>を経て、第2の基板20上の積分回路21<sub>n</sub>の入力端に入力し、積分回路21<sub>n</sub>において電圧信号に変換される。積分回路21<sub>n</sub>から出力された電圧信号は、ホールド回路22<sub>n</sub>により保持され、スイッチ素子23<sub>n</sub>を経て、第2の基板20のパッドP<sub>out</sub>から外部へ出力される。

【0020】このように本実施形態では、第1の基板10と第2の基板20とを有し、一方の第1の基板10上にフォトダイオードPD<sub>n</sub>が形成され、他方の第2の基板20上に積分回路21<sub>n</sub>、ホールド回路22<sub>n</sub>、スイッチ素子23<sub>n</sub>および制御回路24が形成されている。そして、第1の基板10と第2の基板20とは互いにバンプ接続されている。

【0021】したがって、第1の基板10および第2の基板20それぞれは、各々にとって好適な製造プロセスを用いて製造することができる。例えば、微細化が要求されないフォトダイオードPD<sub>n</sub>が形成される第1の基板10は、アライメントを用いた製造プロセスを採用して、優れた特性のものを製造することができる。一方、高集積化・微細化が要求される積分回路21<sub>n</sub>等のCMOS回路が形成される第2の基板20は、ステッパを用いた微細加工プロセスを採用して製造することができる。また、用途が異なっても第1の基板10は同一設計で製造することができるのに対して、用途に応じて第2の基板20のみを適切な設計の下に製造することができる。このように、第1の基板10と第2の基板20とで異なる最適な製造プロセスを採用することができ、また、用途に応じて第2の基板20のみを設計変更すればよいことから、固体撮像装置1は製造効率が優れコストが安くなる。

【0022】また、画素数（すなわち、フォトダイオードPD<sub>1</sub>～PD<sub>n</sub>の数N）が増加してパッドの数が増加しても、第1の基板10と第2の基板20とを互いにバンプ接続することにより、第1の基板10上のバンプ接続用のパッドP<sub>c(n)</sub>およびP<sub>n</sub>を2次元状に配置し、第2の基板20上のバンプ接続用のパッドP<sub>n(n)</sub>およびP<sub>c(n)</sub>を2次元状に配置することができる。したがって、フォトダイオードPD<sub>1</sub>～PD<sub>n</sub>の数が増加しても、物理的に実現が容易であり、また、第1の基板10および第2の基板20の双方とも面積の増大を抑制することができ、コストが安い。

【0023】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、第2の基板20上において、積分回路21<sub>n</sub>とホールド回路22<sub>n</sub>との間にCDS（Correlated Double Sampling）回路を設けて、積分回路21<sub>n</sub>のアンプA1のオフセットばらつ

きを除去するようにしてもよい。また、スイッチ素子23<sub>n</sub>とパッドP<sub>out</sub>との間にA/D変換回路を設けて、第2の基板20より外部へデジタル信号を出力するようにしてもよい。

【0024】

【発明の効果】以上、詳細に説明したとおり、本発明によれば、第1の基板上の各受光素子から受光量に応じて出力された電流信号は、互いにバンプ接続された第1の基板のパッドおよび第2の基板のパッドを経て、第2の基板上の積分回路の入力端に入力し、積分回路において電圧信号に変換される。このように本発明に係る固体撮像装置は、一方の第1の基板上に受光素子が形成され、他方の第2の基板上に積分回路が形成されており、第1の基板と第2の基板とが互いにバンプ接続されている。

【0025】したがって、第1の基板および第2の基板それぞれは、各々にとって好適な製造プロセスを用いて製造することができる。また、用途が異なっても第1の基板は同一設計で製造することができるのに対して、用途に応じて第2の基板のみを適切な設計の下に製造することができる。このように、第1の基板と第2の基板とで異なる最適な製造プロセスを採用することができ、また、用途に応じて第2の基板のみを設計変更すればよいことから、本発明に係る固体撮像装置は製造効率が優れコストが安くなる。

【0026】また、画素数（すなわち、受光素子の数）が増加してパッドの数が増加しても、第1の基板と第2の基板とを互いにバンプ接続することにより、第1の基板および第2の基板それぞれのバンプ接続用のパッドを2次元状に配置することができる。したがって、受光素子の数が増加しても、物理的に実現が容易であり、また、第1の基板および第2の基板の双方とも面積の増大を抑制することができ、コストが安い。

【図面の簡単な説明】

【図1】本実施形態に係る固体撮像装置の回路構成図である。

【図2】本実施形態に係る固体撮像装置の第1の基板におけるN個のフォトダイオードおよびバンプ接続用のパッドのレイアウトの1例を示す図である。

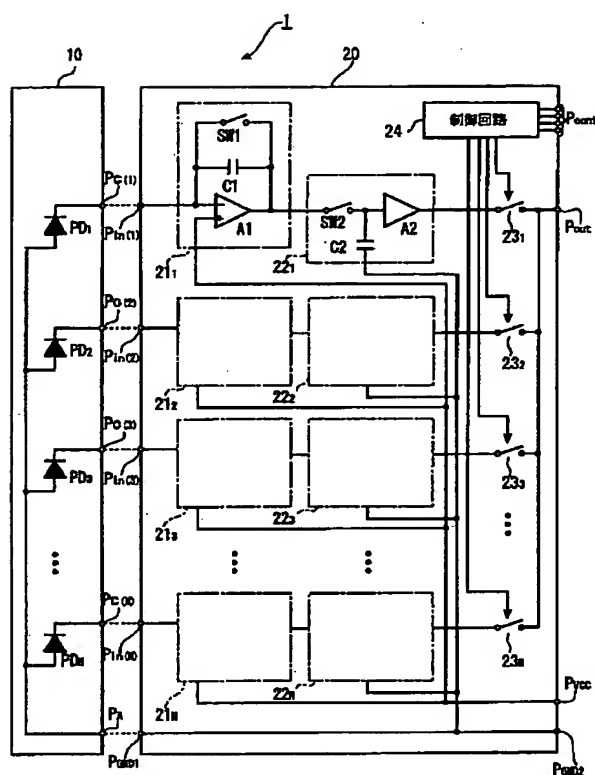
【図3】本実施形態に係る固体撮像装置の斜視図である。

【図4】本実施形態に係る固体撮像装置の側断面図である。

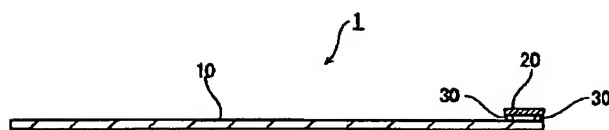
【符号の説明】

1…固体撮像装置、10…第1の基板、20…第2の基板、21<sub>n</sub>～21<sub>n</sub>…積分回路、22<sub>n</sub>～22<sub>n</sub>…ホールド回路、23<sub>n</sub>～23<sub>n</sub>…スイッチ素子、24…制御回路、30…バンプ、PD<sub>1</sub>～PD<sub>n</sub>…フォトダイオード（受光素子）。

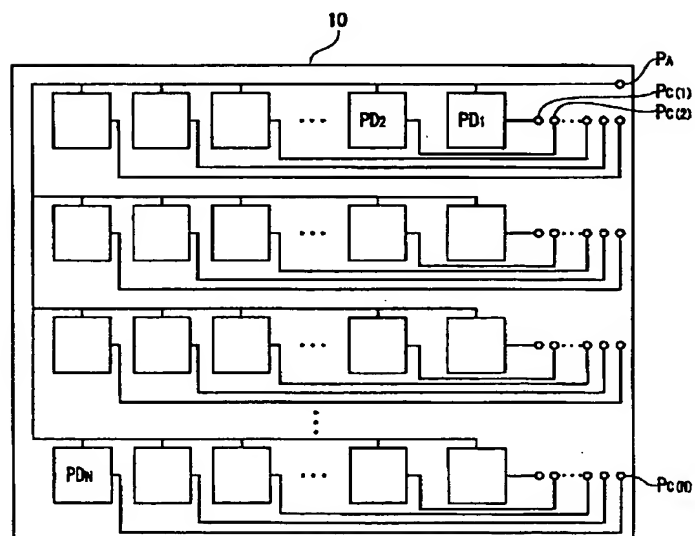
【図1】



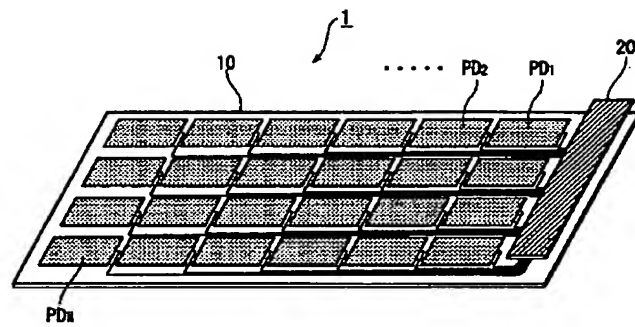
【図4】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 31/10

H 0 4 N 5/335

F ターム (参考) 4M118 AA10 AB01 BA19 CA02 DD09

FA24 HA31

5C024 AX01 EX25

5F049 MA01 NA09 NA18 NA19 NB05

RA02 RA08 RA10 TA05 UA01

UA14 UA20

5F088 AA01 BA15 BA16 BB03 EA03

EA04 EA07 EA08 JA09 KA02

KA03 KA10